

16 通道 16 扫低转折 PWM 恒流源驱动

1 概述

DP3252 是一款专为 LED 显示屏设计的共阳 16 通道低转折 PWM 恒流驱动芯片，片内集成高精度电流产生电路技术，使得芯片间的电流误差可控制在 2.0% 内，新增低灰高刷模式，提高低灰刷新率。并且集成有多种提升 LED 显示屏显示效果的独家技术，可以给显示屏带来更多的提升。。

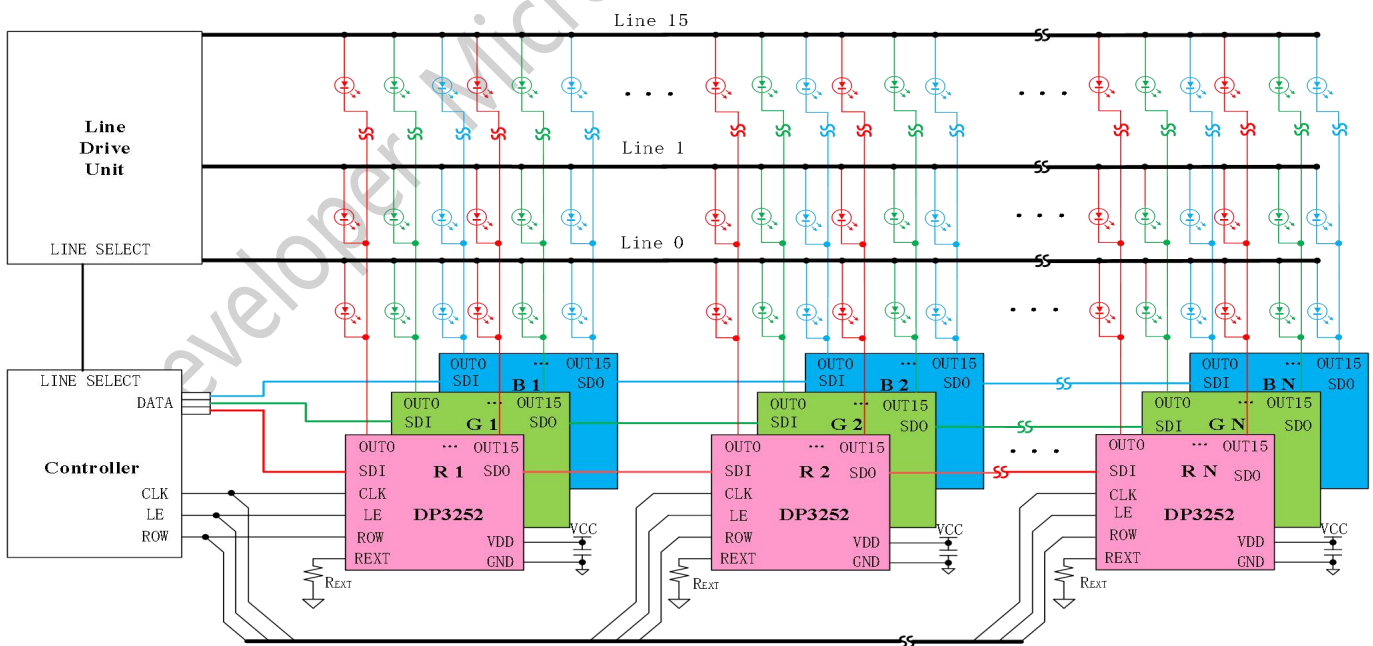
2 特点

- 电源电压范围：2.6~5.5V
- 工作温度范围：-40°C~85°C
- 扫描范围：1~16 扫，任意可调
- 16 个恒定电流输出通道
- 支持无外置电阻模式
- 恒流输出范围
 - 0.5mA~18mA ($V_{out}=0.3V$)
 - 0.5mA~40mA ($V_{out}=0.6V$)
- 通道间电流误差
 - 典型值：±1.2% 最大值：±2.5% ($V_{out}=0.45V$)
- 芯片间电流误差
 - 典型值：±1.5% 最大值：±2.0%
- 高灰独立刷新，无帧间黑场
- 低灰高刷：低灰支持 1~8 倍显示帧率
- 最高刷新率支持 128 倍帧率 (7680Hz)

- 优化显示状态
 - 改善低灰均匀性
 - 改善第一行偏暗现象
 - 改善上下鬼影现象
 - 改善高低灰耦合
 - 改善跨板耦合
- 集成 PLL 产生内部 GCLK，EMI 更低
- 封装形式：QSOP24/QFN24
- 优秀的 ESD 特性

3 应用领域

- 高刷新率 LED 视频显示
- 单色 双色 全彩 LED 显示
- 高密度 小间距 LED 灯板显示



DP3252 典型应用原理图

目录

1 概述.....	1	9 典型显示效果样图.....	18
2 特点.....	1	9.1 显示效果.....	18
3 应用领域.....	1	9.1.1 去除开路坏点十字架.....	18
4 产品说明.....	4	9.1.2 高低灰干扰及耦合显示不良效果优化.....	18
5 电路原理图.....	5	9.1.3 去除鬼影和无带亮效果.....	19
5.1 输入输出等效电路.....	5	10 指令与寄存器.....	20
5.2 内部电路框图.....	6	10.1 寄存器指令.....	20
6 参数表.....	7	10.2 数据指令.....	20
6.1 最大极限参数.....	7	10.3 单双沿切换.....	20
6.2 ESD 等级.....	7	10.4 写寄存器.....	22
6.2.1 接触 ESD.....	7	10.5 寄存器信号的发送方式.....	22
6.3 电气特性 (若无特殊说明, VDD=3.5V ~ 5V, Ta=25°C).....	8	10.6 ROW 信号发送方式.....	23
6.4 动态特性 (若无特殊说明, VDD=3.5V ~ 5V, Ta=25°C).....	10	10.7 PWM 显示模式.....	24
7 测试电路图.....	11	10.7.1 通用帧同步模式.....	25
7.1 测试电路 1.....	11	10.7.2 高灰独立刷新同步模式.....	25
7.2 测试电路 2.....	11	10.7.3 高灰独立刷新异步模式.....	25
7.3 测试电路 3.....	12	10.7.4 低灰高刷模式.....	25
7.4 测试电路 4.....	12	10.8 PWM 显示的相关配置.....	26
7.5 测试电路 5.....	13	10.8.1 行扫描数配置.....	26
7.6 测试电路 6.....	13	10.8.2 行灰度级数配置.....	26
7.7 测试电路 7.....	14	10.8.3 PWM 显示分组配置.....	26
8 典型特性图.....	15	10.8.4 内部灰度时钟配置.....	26
8.1 恒流源精度测试图表.....	15	10.8.5 PWM 灰度级数以及 gamma 产生.....	26
8.1.1 芯片间电流误差.....	15	10.9 开路检测以及去除坏点.....	26
8.1.2 通道间电流误差.....	15	11 封装散热功率(P _D).....	27
8.2 恒流源拐点.....	16	12 负载端电压(VLED).....	27
8.3 通过外接电阻调节输出电流.....	17	13 封装信息.....	28
8.4 无电阻模式 通过寄存器调节电流.....	17	14 重要声明.....	错误! 未定义书签。



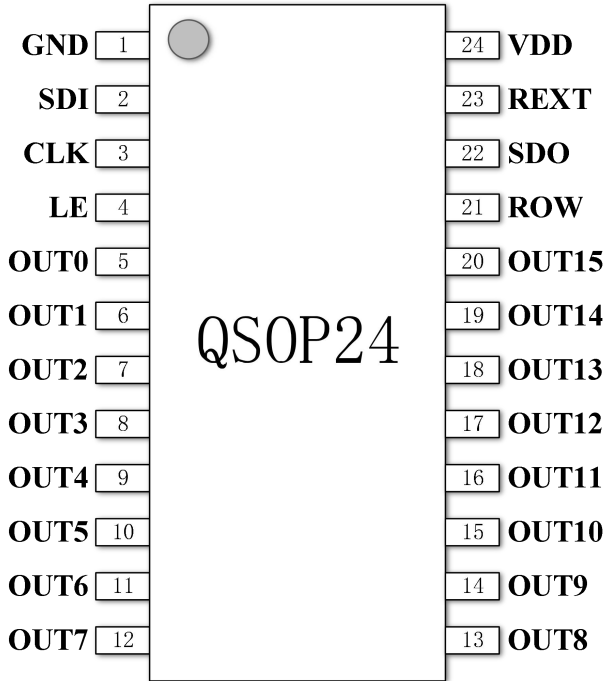
修订历史

版本	修订日期	修订人	修订内容
V1.0	2024.03	WM	初始版本

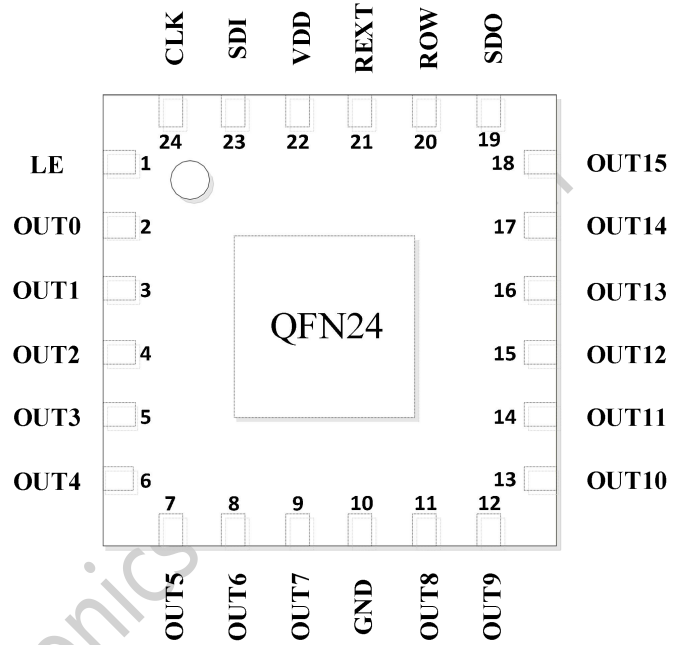
Developer Microelectronics Confidential

4 产品说明

- 引脚定义



QSOP24 引脚定义图



QFN24 引脚定义图

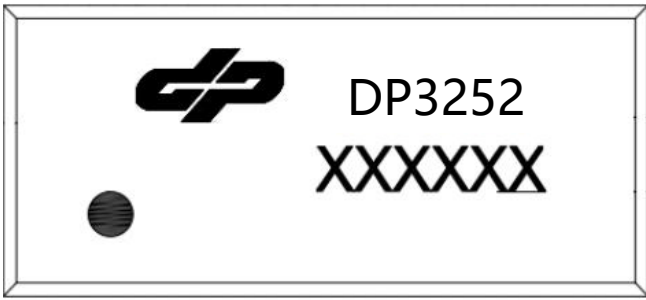
- 引脚说明

QSOP24 引脚号	QFN24 引脚号	引脚名称	引脚说明
1	10	GND	芯片接地端
2	23	SDI	串行数据输入端
3	24	CLK	串行时钟输入端
4	1	LE	数据与指令的锁存端，不同的 LE 长度代表不同指令
5~20	2~9 11~18	OUT0~OUT15	恒流输出端
21	20	ROW	换行信号
22	19	SDO	串行数据输出端
23	21	REXT	接外置电阻端
24	22	VDD	芯片电源端

- 产品订购信息

产品名称	封装形式	包装方式	数量/盘	湿敏等级
DP3252	QSOP24	编带	4000	MSL=3
	QFN24	编带	5000	

● 产品标记



QSOP24

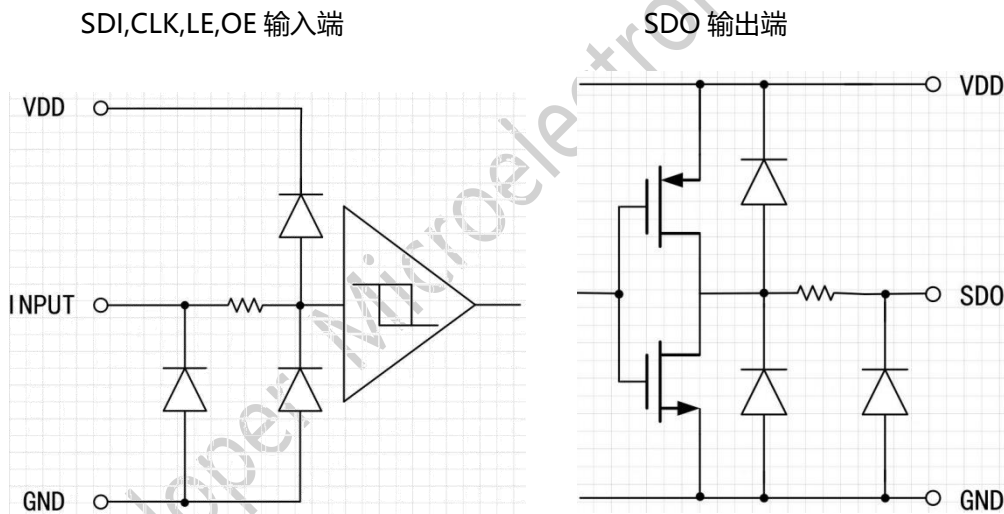


QFN24

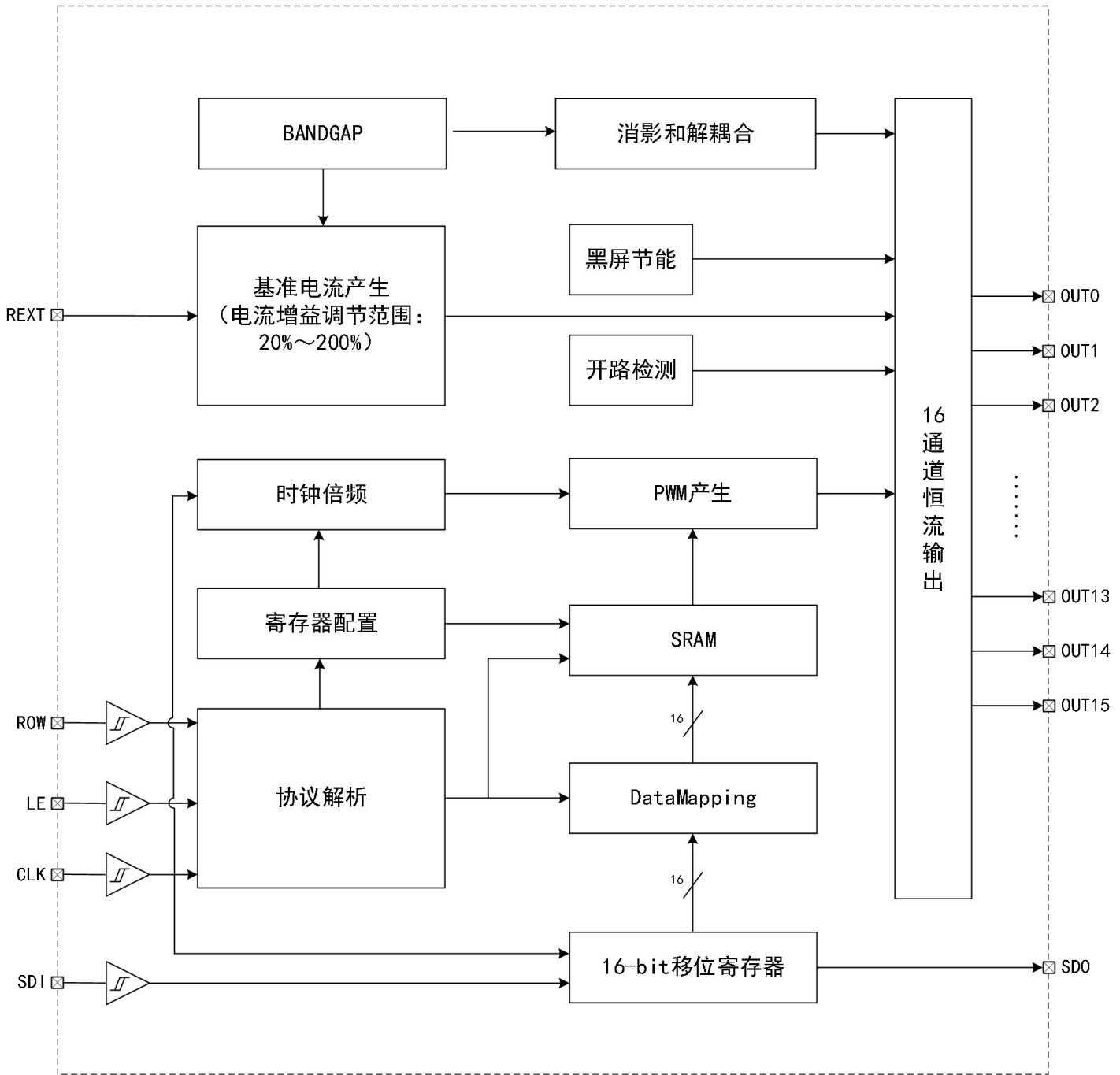
DP3252 为产品品名
XXXXXX 代表产品批次号

5 电路原理图

5.1 输入输出等效电路



5.2 内部电路框图



内部电路示意图

6 参数表

6.1 最大极限参数

项目	符号	额定值	单位
电源电压	V_{DD}	0 ~ 5.5	V
输出电流	I_O	40	mA
输入电压	V_{IN}	-0.4 ~ $V_{DD}+0.4$	V
输出耐受电压	V_{OUT}	11	V
时钟频率	F_{CLK}	25	MHz
工作温度	T_{opr}	-40 ~ 85	-
存储温度	T_{stg}	-55 ~ 150	°C

- 所有的电压值均是以芯片接地端 (GND) 做为参考点, 最大极限参数的测试温度为 25°C。
- 若实际工作条件超过规定值可能会造成元件永久的损伤; 若实际工作条件略低于最大值并长时间工作可能会降低元件的可靠性。上述仅是部分规定值, 本产品不支持在规格之外的其他条件的功能操作。
- 表贴产品焊接温度最高峰值不能超过 260°C, 温度曲线依据 J-STD-020 标准、参考工厂实际和锡膏厂商建议由工厂自行设定。

6.2 ESD 等级

6.2.1 接触 ESD

符号	条件		最小值	典型值	最大值	单位
$V_{(ESD)}$	人体放电模型 (HBM) ¹	OUTn Pin-GND	-	±8	-	kV
		OTHER Pin-GND	-	±8	-	kV
	机器模型 (MM) ²	OUTn Pin-GND	-	±0.4	-	kV
		OTHER Pin-GND	-	±0.4	-	kV

- [1]所有管脚的最低 HBM 模型 ESD 电压符合 JEDEC JS-001-2017 文件的 Class-3B 标准。
- [2]所有管脚的最低 MM 模型 ESD 电压符合 JEDEC EIA/JESD22-A115C 文件的 Class-C 标准。

6.3 电气特性 (若无特殊说明, VDD=3.5V~5V, Ta=25°C)

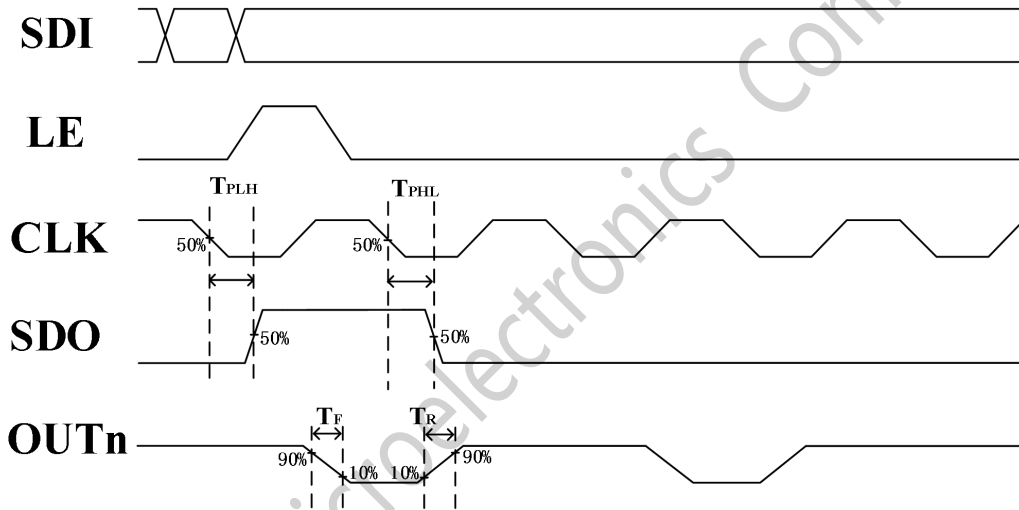
项目	符号	测试电路	测试条件	最小值	典型值	最大值	单位	
REXT 电压特性	VR_TT	1	V _{DD} =5V, R _{EXT} =1K IGAIN=100%, T _a =25°C	-	1.533	-	V	
	VR_LT		V _{DD} =5V R _{EXT} =1K T _a =-40°C	-	1.56	-	V	
	VR_HT		IGAIN=100% T _a =85°C	-	1.495	-	V	
	VR_LV		T _a =25°C R _{EXT} =1K V _{DD} =5.5V	-	1.535	-	V	
	VR_HV		IGAIN=100% V _{DD} =2.6V	-	1.521	-	V	
恒流输出拐点	V _{OUT1}	2	V _{DD} =5.0V R _{EXT} =1k 拐点等级 0	IOUT=18mA	-	350	-	mV
	V _{OUT2}			IOUT=9mA	-	290	-	mV
	V _{OUT3}			IOUT=4.5mA	-	260	-	mV
	V _{OUT4}		V _{DD} =5.0V R _{EXT} =1k 拐点等级 1	IOUT=18mA	-	460	-	mV
	V _{OUT5}			IOUT=9mA	-	390	-	mV
	V _{OUT6}			IOUT=4.5mA	-	360	-	mV
恒流源输出范围	IOUT	2	拐点等级 0	0.5	-	18	mA	
	IOUT1		拐点等级 1	0.5	-	40	mA	
片间输出电流误差	DCHIP	2	VDS=0.6V	—	±1.5	±2.0	%	
通道间输出电流误差	DCHL	2	VDS=0.6V	—	±1.2	±2.5	%	
恒流误差/ VDS 变化量	%/Δ VDS	2	VDS=0.3~3.0V	—	—	±1.0	%/V	
恒流误差/VDD 变化量	%/Δ VDD	2	VDD=3.5V~5.0V	—	—	±1.0	%/V	
ON 时的输出电压	V _{O(ON)}	2	OUT0~OUT15	0.3	-	V _{DD}	V	
SDO 驱动 电流	高电平	IOH	VDD=5V	—	-22	—	mA	
	低电平							IOL
输出电平	高电平	VOH	IOH=-1mA	4.6	—	—	V	
	低电平							VOL
高电平逻辑输入电压	V _{IH}	5	-	0.7*V _{DD}	-	V _{DD}	V	
低电平逻辑输入电压	V _{IL}		-	GND	-	0.3*V _{DD}	V	
电源电流 (有电阻) (白屏功耗)	I _{DD1}	6	R _{EXT} =3K, 白屏 IOUT=6mA, 刷新率 3840	-	4.69	-	mA	
电源电流 (有电阻) (黑屏节能功耗)	I _{DD3}	6	R _{EXT} =3K, 黑屏 IOUT=6mA, 性能优先	-	2.95	-	mA	



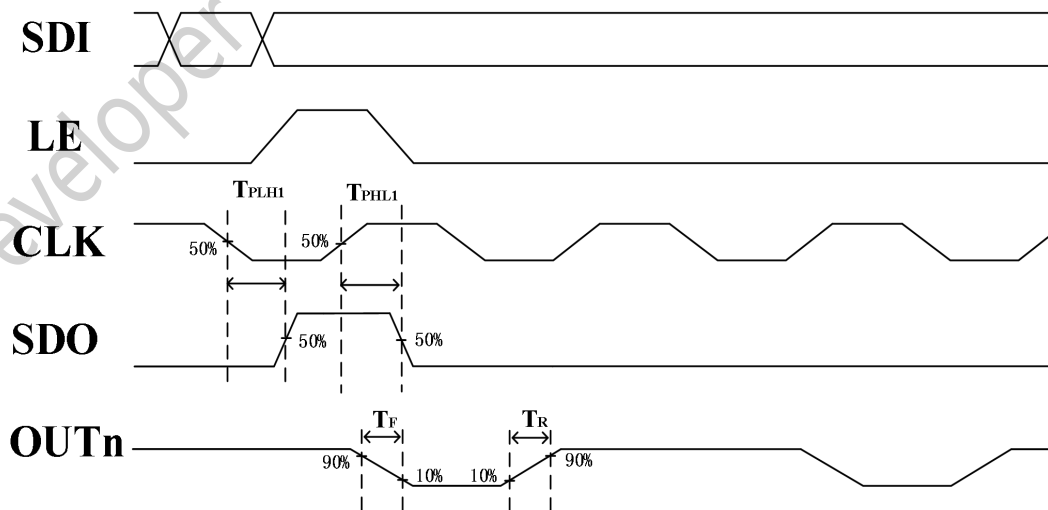
	I_{DD4}		$R_{EXT}=3K$, 黑屏 IOU=6mA, 低功耗优先	-	1.29	-	mA
	I_{DD5}		$R_{EXT}=3K$, 黑屏 IOU=6mA, 极低功耗	-	0.68	-	mA
电源电流 (无电阻) (白屏功耗)	I_{DD1}		白屏 IOU=6mA, 刷新率 3840	-	4.26	-	mA
电源电流 (无电阻) (黑屏节能功耗)	I_{DD3}	6	黑屏 IOU=6mA, 性能优先	-	2.88	-	mA
	I_{DD4}		黑屏 IOU=6mA, 低功耗优先	-	1.45	-	mA
	I_{DD5}		黑屏 IOU=6mA, 极低功耗	-	0.79	-	mA

6.4 动态特性 (若无特殊说明, VDD=3.5V~5V, Ta=25°C)

项目	符号	测试电路	测试条件	最小值	典型值	最大值	单位
CLK-SDO 延迟	T _{PHL}	7	VDD=5V, FDCLK=12.5MHz	-	15	-	ns
CLK-SDO 延迟	T _{PLH}			-	15	-	ns
CLK-SDO 延迟	T _{PHL1}			-	25	-	ns
CLK-SDO 延迟	T _{PLH1}			-	15	-	ns
恒流输出上升时间	T _R		I _{OUT} =10mA, ΔV _{OUT} =3V	-	65	-	ns
恒流输出下降时间	T _F			-	50	-	ns



单沿传数时序波形图

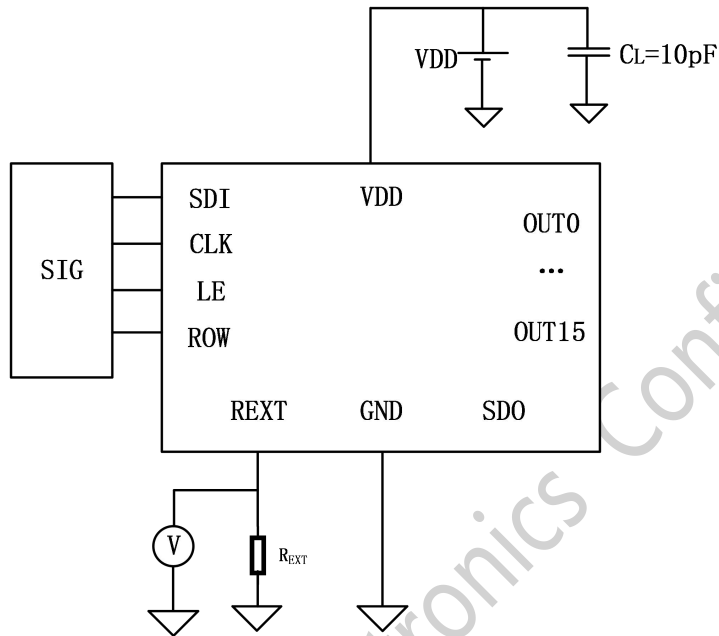


双沿传数时序波形图

7 测试电路图

7.1 测试电路 1

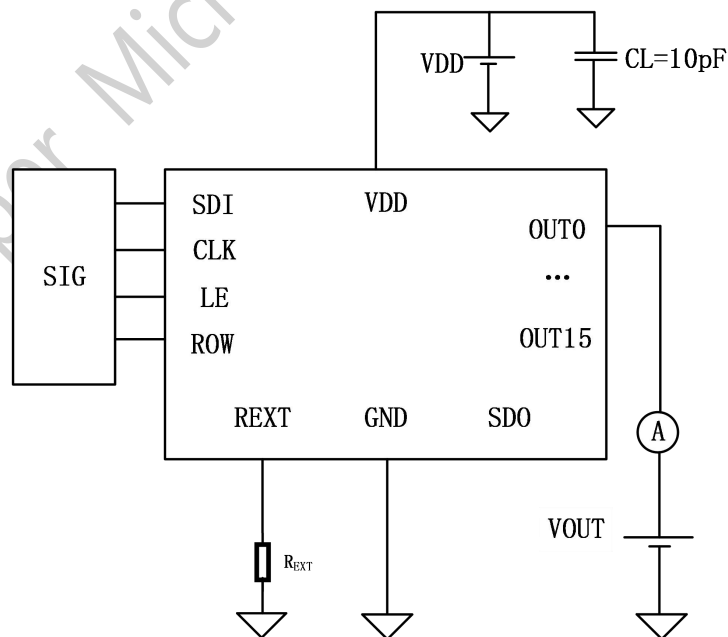
- 外置电阻电压



测试电路 1 示意图

7.2 测试电路 2

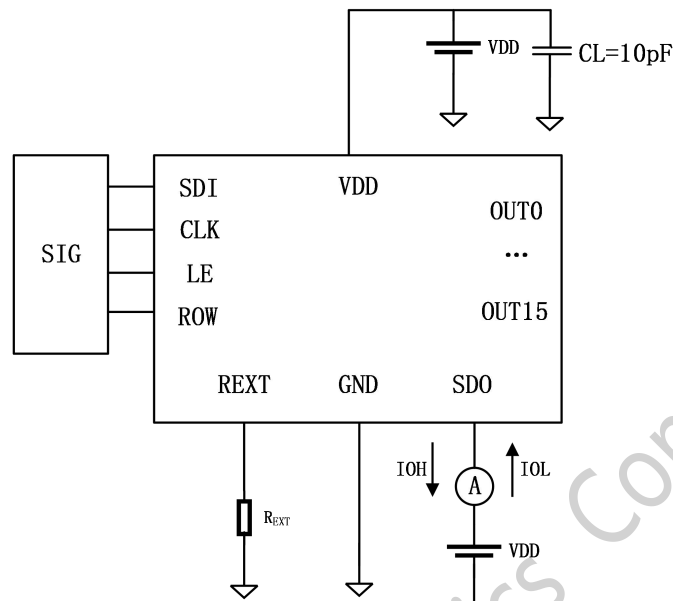
- 恒流输出拐点电压&对应拐点电流 (开路检测状态下)



测试电路 2 示意图

7.3 测试电路 3

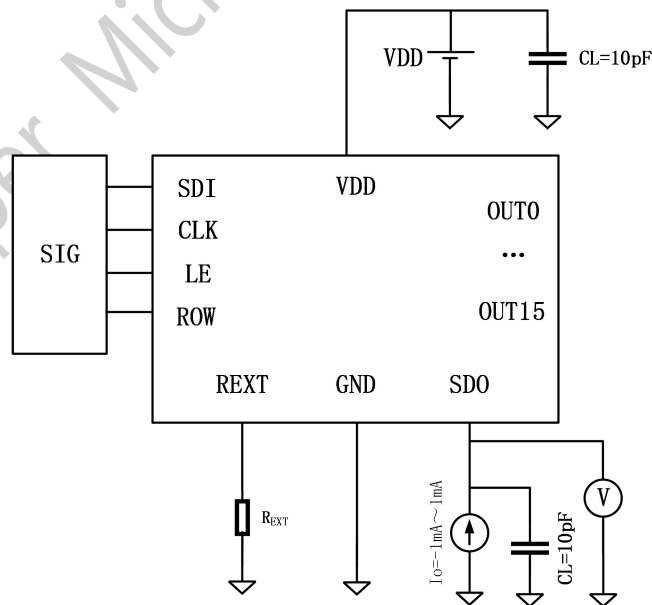
- IOH、IOL



测试电路 3 示意图

7.4 测试电路 4

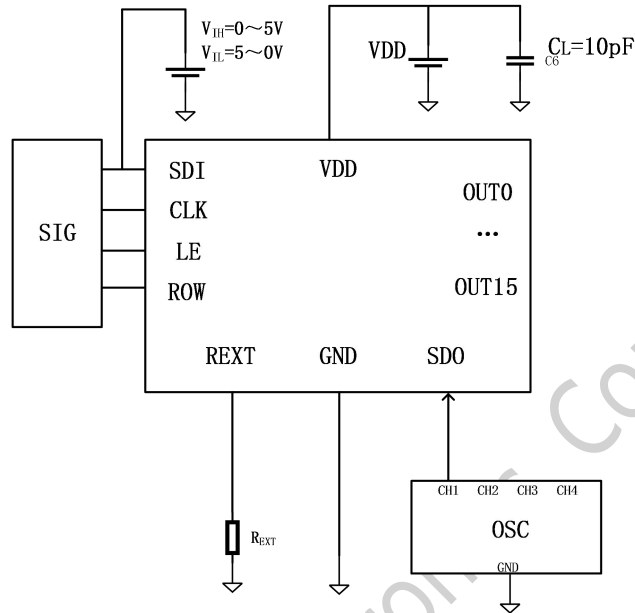
- VOH、VOL



测试电路 4 示意图

7.5 测试电路 5

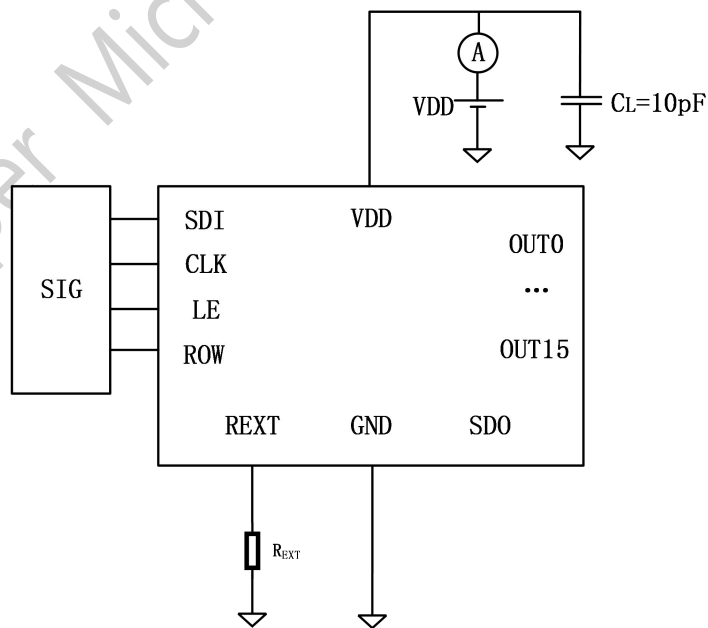
- VIH、VIL



测试电路 5 示意图

7.6 测试电路 6

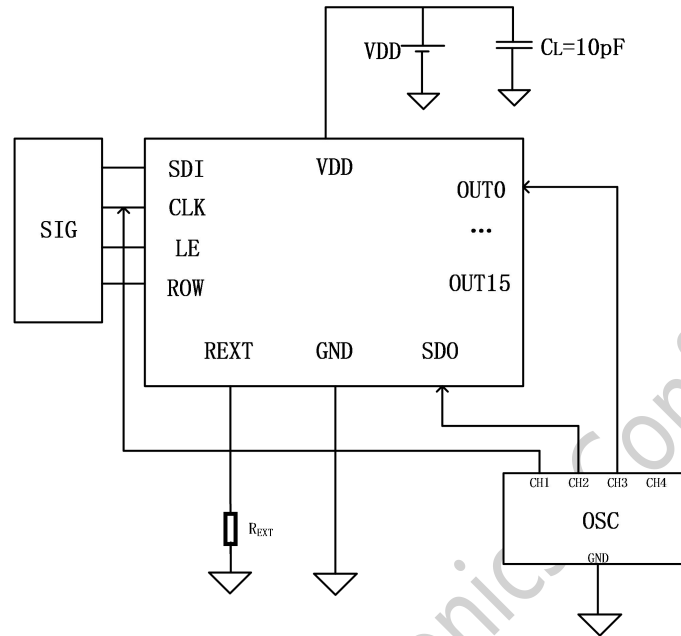
- 电源电流



测试电路 6 示意图

7.7 测试电路 7

- 动态特性



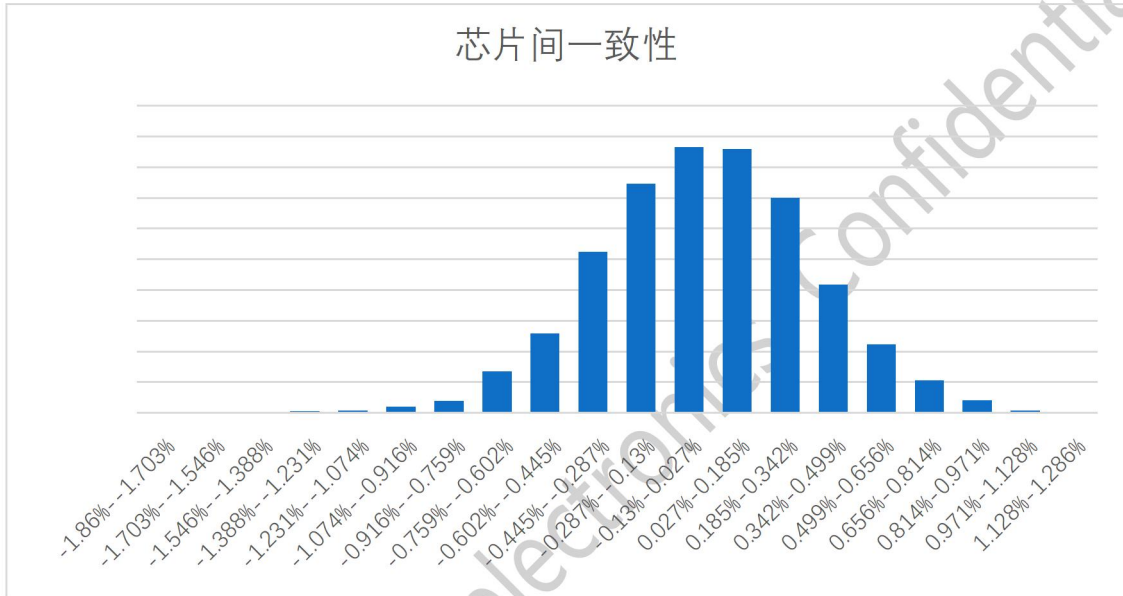
测试电路 7 示意图

8 典型特性图

8.1 恒流源精度测试图表

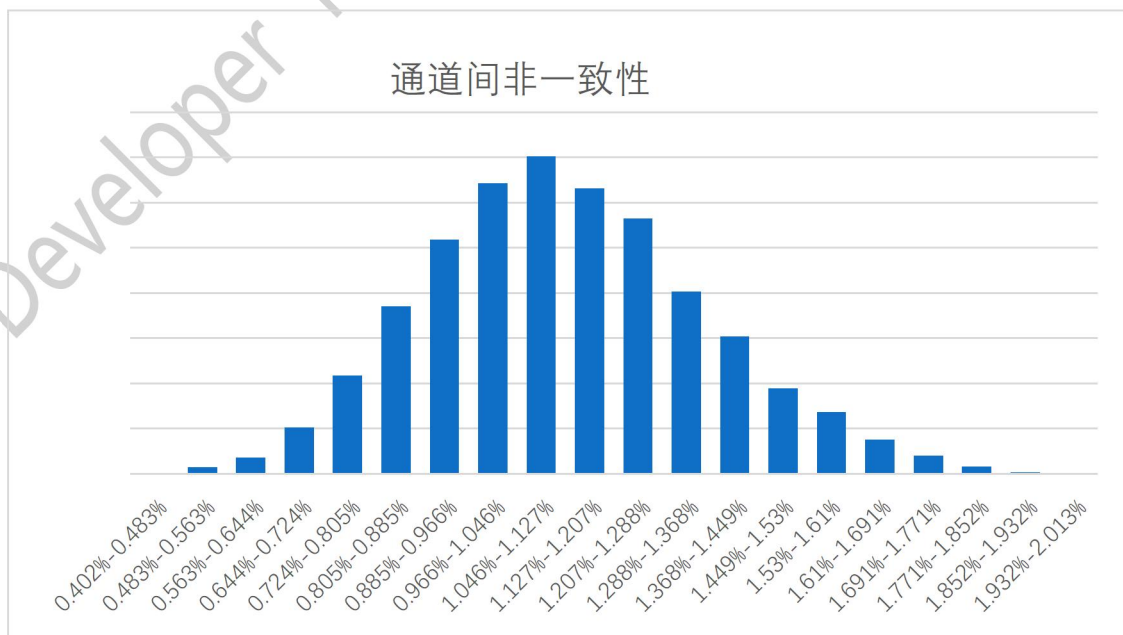
8.1.1 芯片间电流误差

$$\text{芯片间电流误差} = \frac{\text{通道电流平均值} - \text{所有芯片通道平均值}}{\text{所有芯片通道平均值}}$$



8.1.2 通道间电流误差

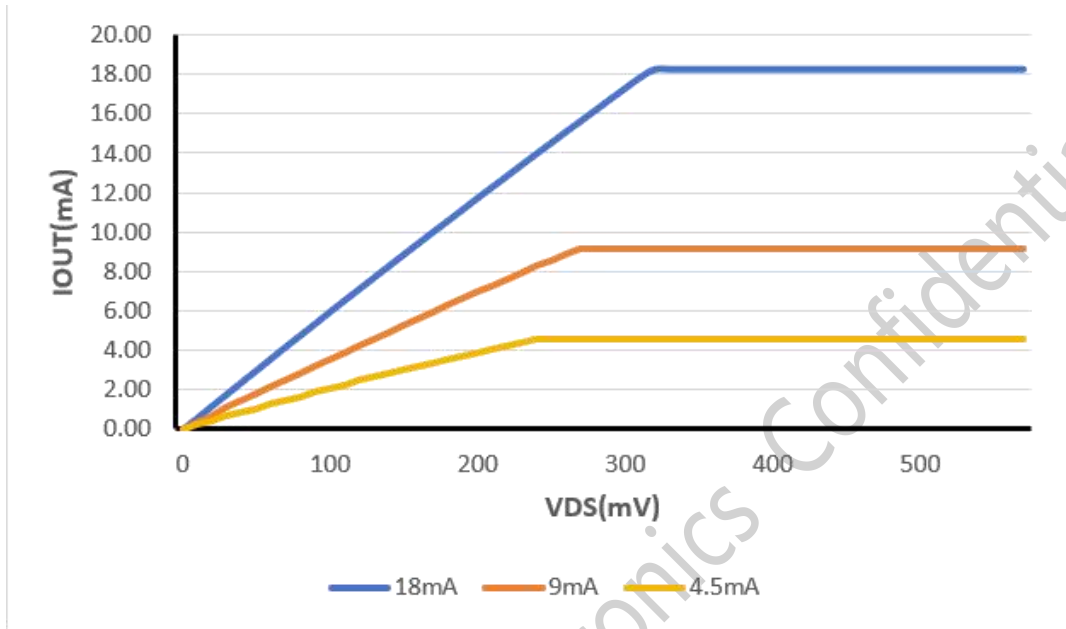
$$\text{通道间电流误差} = \frac{I_{\max} - I_{\min}}{I_{\max} + I_{\min}}$$



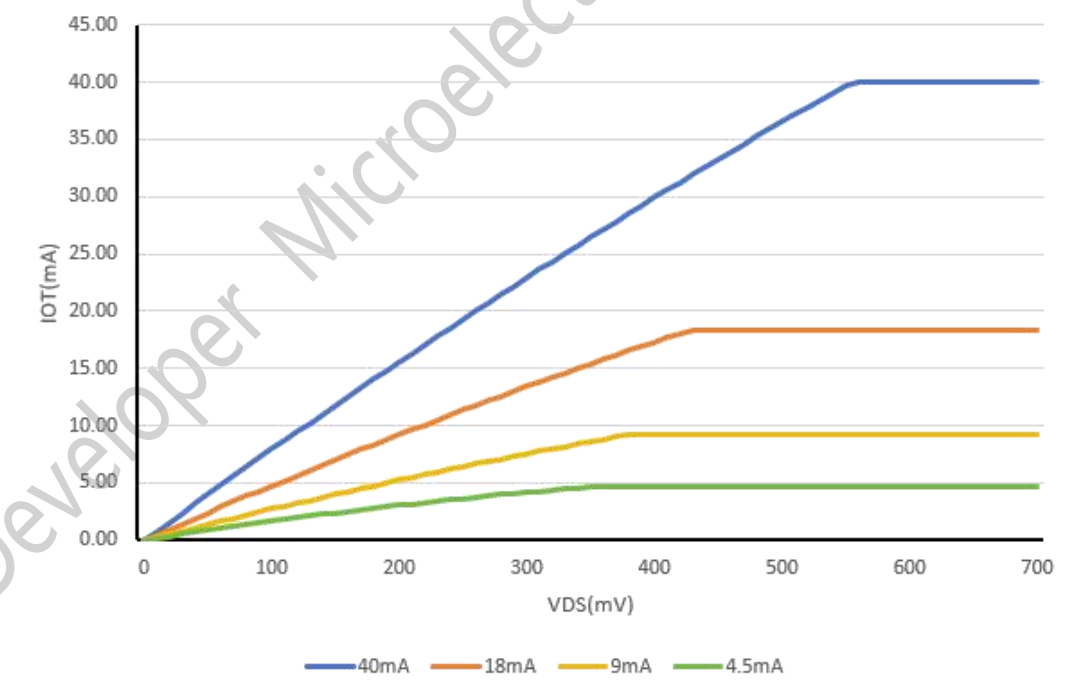
8.2 恒流源拐点

将 DP3252 应用于 LED 显示屏设计时，通道间甚至芯片间的电流差异极小。此源自于 DP3252 优异的恒流输出特性：

- 片内通道间的最大电流小于 $\pm 2.5\%$ ，而芯片间的最大电流误差小于 $\pm 2.0\%$ ；
- 当负载端电压(V_{out})变化时，其输出电流的稳定性不受影响，如下图所示：



低转折, VDD=2.6V-5.5V 时, IOUT 与 VOUT 之间的关系曲线



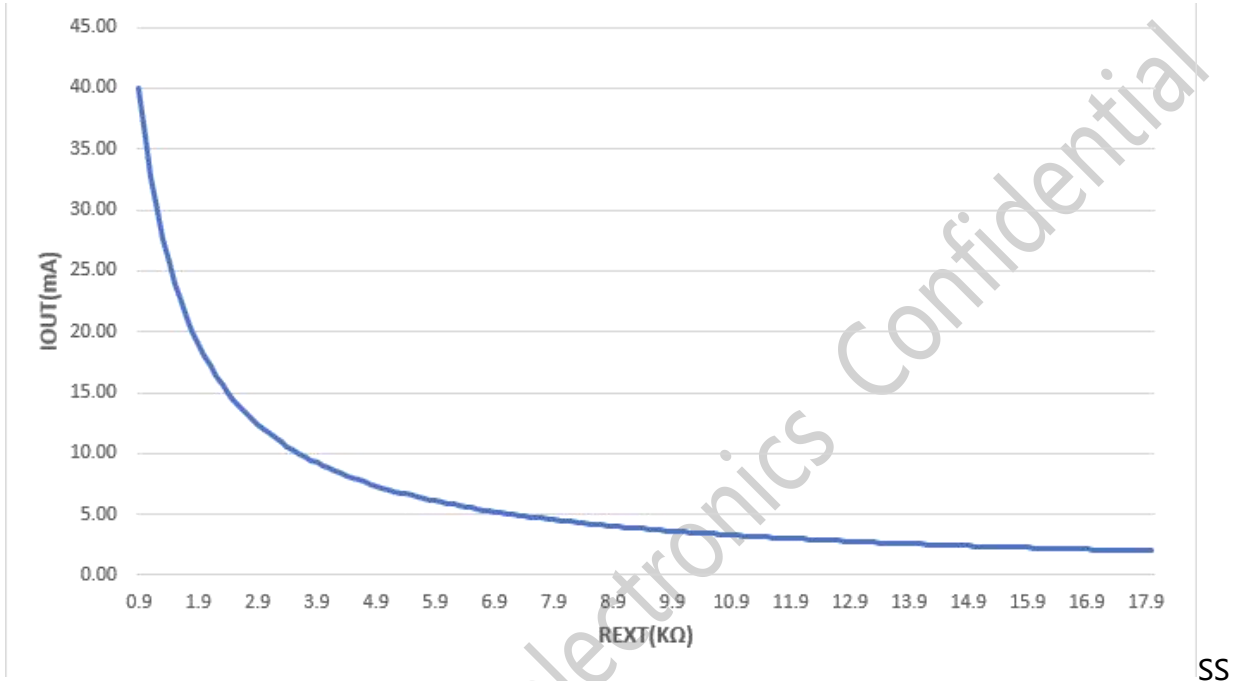
非低转折, VDD=2.6V-5.5V 时, IOUT 与 VOUT 之间的关系曲线

8.3 通过外接电阻调节输出电流

输出电流值计算公式如下：

$$I_{OUT} = \frac{IGAIN * 18}{R_{ext}}, 20\% \leq IGAIN \leq 200\%$$

公式中的 R_{EXT} 为芯片 23PIN REXT 端口对地的电阻值。比如，当电流增益 $IGAIN=100\%$ ， $R_{EXT}=1k\Omega$ 时通过计算公式可得输出电流值 18mA。



IGAIN=200%， R_{EXT} 与 I_{out} 之间的关系曲线

8.4 无电阻模式 通过寄存器调节电流

输出电流值计算公式如下：

$$I_{out} = [70\mu A + 0.4\mu A * (\text{reg0x0f} \langle 6:0 \rangle - 16)] * \text{reg0x08} \langle 7:0 \rangle * (1 + 0.5 * \text{reg0x0b} \langle 5 \rangle)$$

9 典型显示效果样图

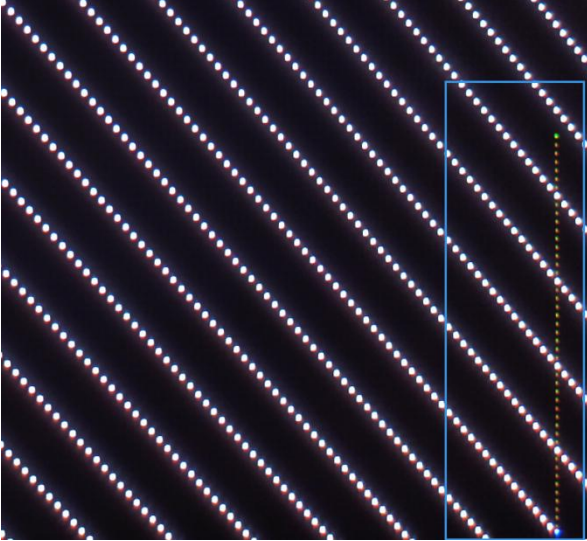
- 具体显示效果会受灯板条件及寄存器参数影响，以下测试结果仅具有参考意义。

9.1 显示效果

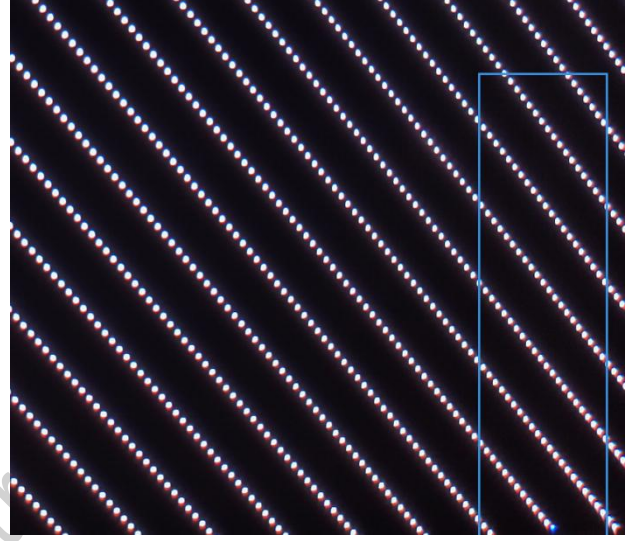
9.1.1 去除开路坏点十字架

下面是去除开路坏点十字架前后显示效果对比图，可以看到：

- 芯片执行去除开路坏点十字架功能后可以良好的去除坏点十字架，优化显示效果。



去除开路坏点十字架前显示效果

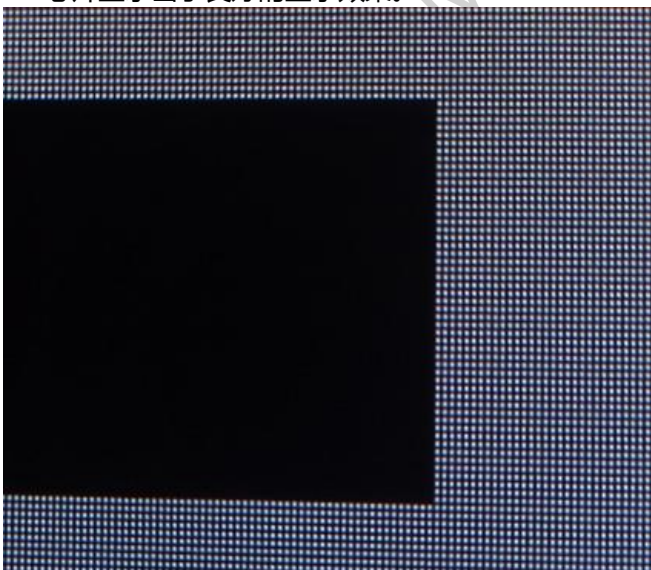


去除开路坏点十字架后显示效果

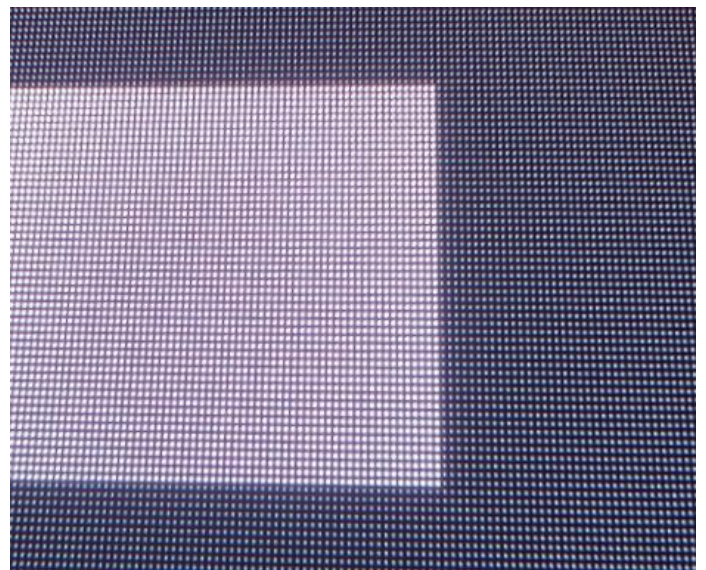
9.1.2 高低灰干扰及耦合显示不良效果优化

下图是高低灰干扰及耦合显示不良效果优化效果，可以看到：

- 黑块低灰耦合与白块低灰耦合均感受不到。
- 芯片显示出了良好的显示效果。



黑块低灰耦合测试显示效果

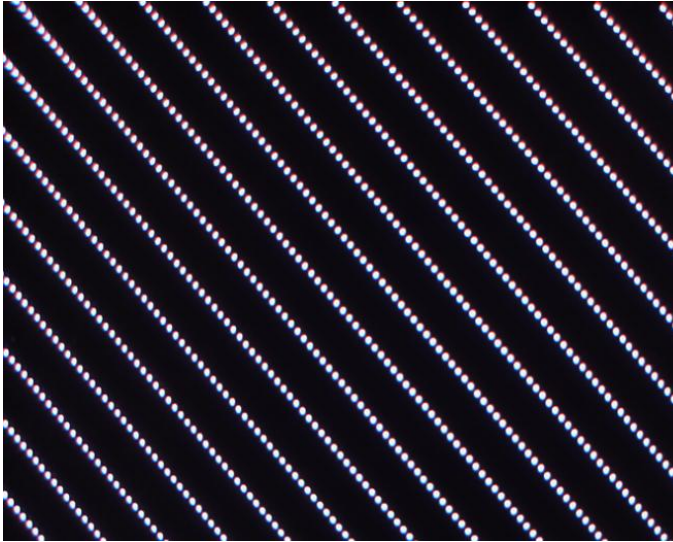


白块低灰耦合测试显示效果

9.1.3 去除鬼影和无带亮效果

下面是去除鬼影和无带亮效果，可以看到：

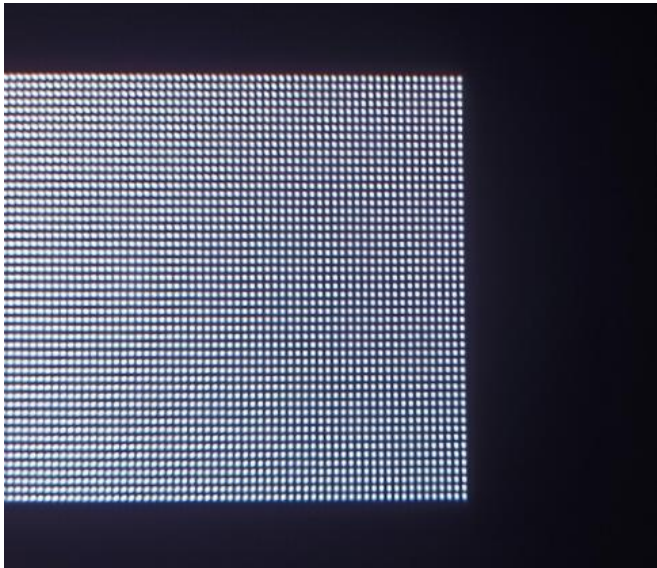
- 斜扫描下鬼影，文字鬼影等问题观察不到。
- 高亮块带亮，斜扫描叠加高亮块带亮测试显示效果很好。
- 芯片显示出了良好的显示效果。



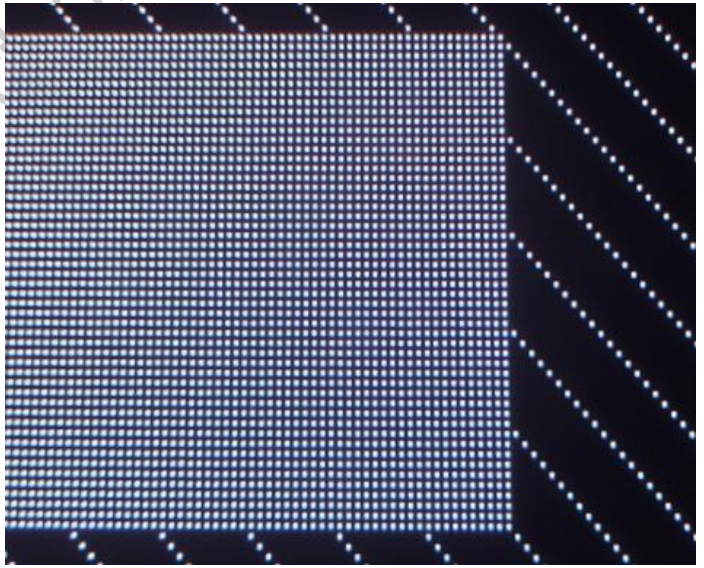
斜扫描下鬼影测试显示效果



文字鬼影测试显示效果



高亮块带亮测试显示效果



斜扫描叠加高亮块带亮测试显示效果

10 指令与寄存器

10.1 寄存器指令

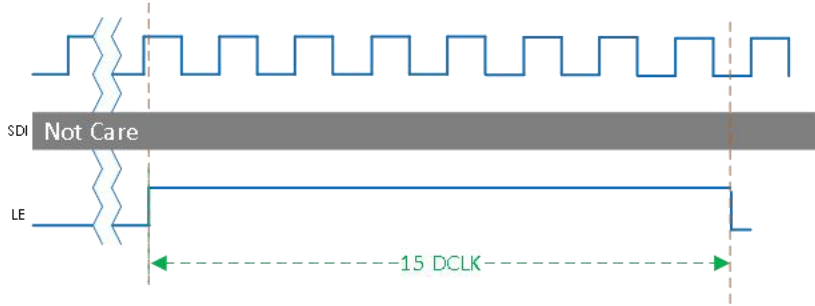
指令名称	LE	描述
DATA_LATCH	1	锁存 16bit 数据送给 SRAM
DDR	2	进入双沿模式
VSYNC	3	更新显示数据
WR_CFG	5	写寄存器
PRE_ACT	14	写使能
SDR	15	进入单沿模式

10.2 数据指令

数据发送顺序	行	通道
1	Line 0	Channel 15 (OUT15)
2		Channel 14 (OUT14)
.....	
16		Channel 0 (OUT0)
17	Line 1	Channel 15 (OUT15)
18		Channel 14 (OUT14)
.....	
32		Channel 0 (OUT0)
.....		
241	Line 15	Channel 15 (OUT15)
242		Channel 14 (OUT14)
.....	
256		Channel 0 (OUT0)

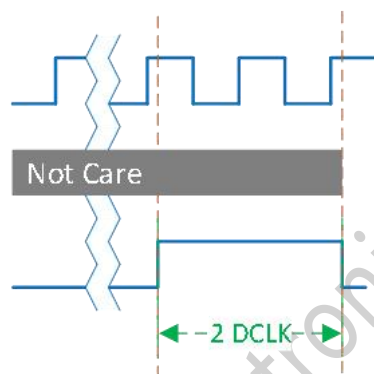
10.3 单双沿切换

1. 单沿模式下 CLK 上升沿采样 SDI 数据，双沿模式下 CLK 上升沿和下降沿都采样 SDI 数据。
2. OE 信号宽度固定用 CLK 上升沿计数
3. 单双沿模式切换指令需要上电后发送一次。
4. 如果需要上电后进入单沿模式，需要发送下图所示指令



15 个 DCLK 边沿 (上升+下降) 设置为 SDR

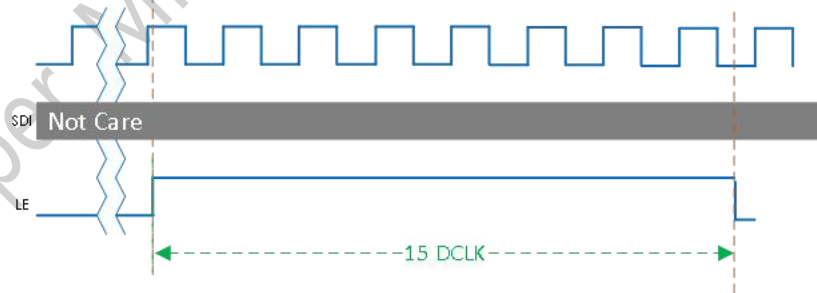
如果需要上电后进入双沿模式, 需要发送下图所示指令



2 个 DCLK 上升沿设置为 DDR

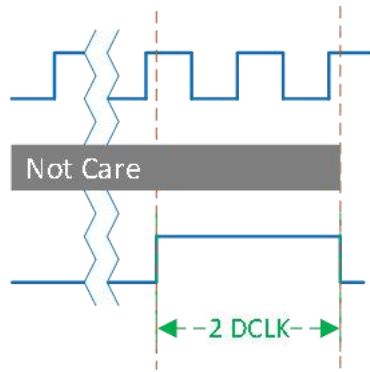
1. 若客户调试过程中需要调整单双沿

如果已经处于双沿模式需要进入单沿模式, 发送下图指令



双沿模式下 15 个 DCLK 边沿 (上升+下降) 设置为 SDR

如果已经处于单沿模式需要进入双沿模式



单沿模式下 2 个 DCLK 上升沿设置为 DDR

10.4 写寄存器

先发送 PRE_ACT, 然后执行 WR_CFG, LE 为 5 个 DCLK 的宽度, 先输入的 8bit 为寄存器地址位, 后输入的 8bit 为对应寄存器地址的数据位。

例如:

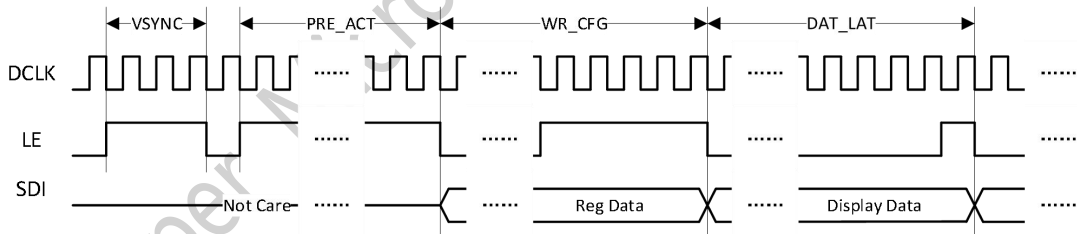
{A7, A6, A5, A4, A3, A2, A1, A0} = 8' b0000_0111;

{D7, D6, D5, D4, D3, D2, D1, D0}=8' b1001_1101;

即表示将寄存器 0x07 (8' b0000_0111) 设置为 8' b1001_1101。

10.5 寄存器信号的发送方式

具体驱动方式如下:



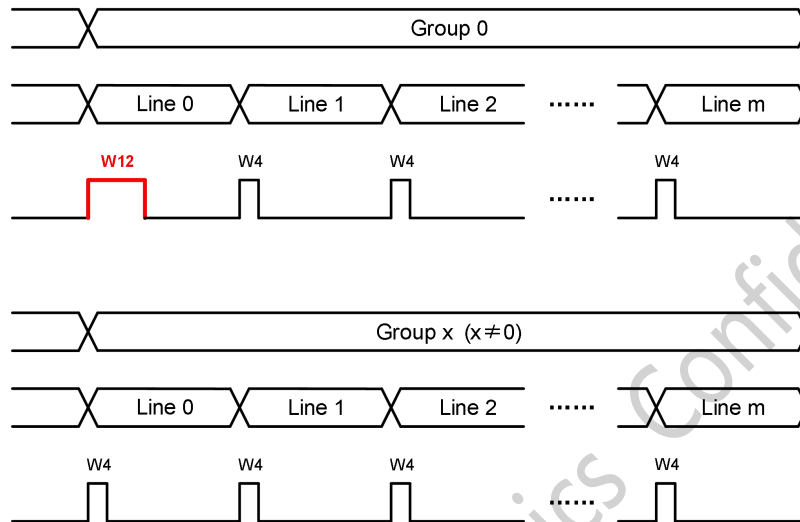
如上图, 每帧发送指令与数据的顺序:

1. 发送 VSYNC。
2. 发送 PRE_ACT。
3. 发送 WR_CFG, 写入寄存器配置。每帧可以只写一个地址的寄存器值, 15 帧完成所有寄存器的刷新 (共 15 个有效寄存器地址), 以节约配置时间。
4. 发送 DAT_LAT 若干次, 配合 SDI 写入显示数据。
5. 显示数据发送位数为 16bit。

10.6 ROW 信号发送方式

DP3252 集成片内 GCLK 产生电路，将通用恒流芯片的 OE 信号更改为了 ROW 信号，使用 ROW 的上升沿表示一行显示的开始，其中 ROW 的高电平宽度有两种，分别为：

1. W12：代表 ROW 的高电平宽度为 12 个 DCLK 的宽度
2. W4：代表 ROW 的高电平宽度为 4 个 DCLK 的宽度



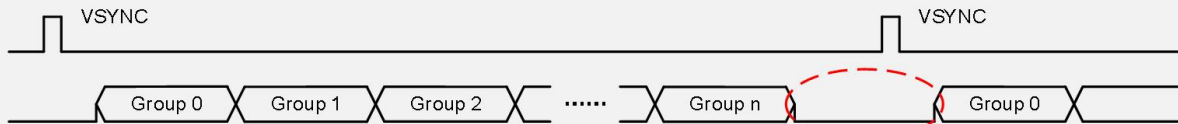
如上图，发送 ROW 信号，仅第 1 组(Group 0)的第 1 行(Line 0)需发送 W12 的 ROW 信号，其他 ROW 信号都按照 W4 发送。

10.7 PWM 显示模式

DP3252 片内集成了 4 种 PWM 显示模式：

- 1.通用帧同步模式；
- 2.高灰数据独立刷新同步模式；
- 3.高灰数据独立刷新异步模式；
- 4.低灰高刷模式

1. 通用帧同步模式



显示组数为控制卡自动配置

组数（取整）=帧周期/一组的显示时间

一组的显示时间=一行的显示时间*扫描行数

一行的显示时间-换行时间= $(2*(reg0x05[7:4]+1)+2*(reg0x05[3:0]+1)+4*(reg0x04[6:0]+1))/(reg0x06[2:0]+1)$ 个DCLK

2. 高灰度独立刷新同步模式



显示组数为控制卡自动配置

组数（取整）=帧周期/一组的显示时间

一组的显示时间=一行的显示时间*扫描行数

一行的显示时间-换行时间= $(2*(reg0x05[7:4]+1)+2*(reg0x05[3:0]+1)+4*(reg0x04[6:0]+1))/(reg0x06[2:0]+1)$ 个DCLK

3. 高灰度独立刷新异步模式



显示组数为手动配置（默认配置为64组）

一组的显示时间=一行的显示时间*扫描行数

一行的显示时间= $(2*(reg0x05[7:4]+1)+2*(reg0x05[3:0]+1)+4*(reg0x04[6:0]+1))/(reg0x06[2:0]+1)$ +换行时间

4. 低灰高刷模式



一行的显示时间= $(2*(reg0x05[7:4]+1)+2*(reg0x05[3:0]+1)+4*(reg0x04[6:0]+1))/(reg0x06[2:0]+1)$ +换行时间

一组的显示时间=一行的显示时间*扫描行数

显示组数为手动配置（默认配置为64组）所有组的显示时间=一组的显示时间*显示组数

高刷倍率（取整）=帧周期/所有组的显示时间

两个Vsync之前需要发送高刷倍率*显示组数*扫数个ROW信号（上图以两倍高刷为例）

10.7.1 通用帧同步模式

工作方式和相关配置为：

- 1.将 PWM 显示模式设定为通用帧同步模式
- 2.每行的 DCLK 个数根据公式进行计算
- 3.配置显示数据组数, $\text{reg0x03}[6:0]=\text{刷新率}/\text{帧率}-1$ (最大支持 128 组数据, 超出按 128 组配寄存器)
3. VSYNC 之后显示第 1 组(Group 0)的第 1 行(Line 0)
4. 当前帧的数据显示完成之后停止显示, 直到下一个 VSYNC 的到来

10.7.2 高灰独立刷新同步模式

工作方式和相关配置为：

- 1.将 PWM 显示模式设定为高灰数据独立刷新帧同步模式
- 2.计算一组显示时间=帧周期/ (刷新率/帧频)
- 3.计算一行的显示时间=一组显示时间/行数
- 4.每行的 DCLK 个数根据公式进行计算, 通过调整行灰度级数和 DCLK 频率以及寄存器 $\text{reg0x6}[1:0]$ 相互配合满足此公式
- 5.ROW 按照固定的显示频率连续发送, 不间断。ROW 的频率与 VSYNC 无关
ROW 信号的频率 = $1/\text{一行的显示时间} = 1/\text{两个 ROW 上升沿之间的时间}$
- 6.第 0 组第 0 行发送 W12 的 ROW 信号, 其他情况发送 W4 的 ROW 信号
每 (组数*行扫描数) 个 ROW 信号, 只有一个 W12, 且按照此方式一直循环。

10.7.3 高灰独立刷新异步模式

工作方式和相关配置为：

- 1.将 PWM 显示模式设定为高灰数据独立刷新异步模式
- 2.每行的 DCLK 个数根据公式进行计算
显示数据组数通过手动配置, 默认为 64 组 ($\text{reg0x03}[6:0]=7'h3f$) 。
- 3.ROW 按照固定的显示频率连续发送, 不间断。ROW 的频率与 VSYNC 无关
ROW 信号的频率 = $1/\text{一行的显示时间} = 1/\text{两个 ROW 上升沿之间的时间}$
- 4.第 0 组第 0 行发送 W12 的 ROW 信号, 其他情况发送 W4 的 ROW 信号
每 (组数 (按照寄存器配置值) *行扫描数) 个 ROW 信号, 只有一个 W12, 且按照此方式一直循环。一帧时间里可以循环次数不限制
- 5.视觉刷新率= $1/(\text{一行的显示时间}*\text{扫数})$

10.7.4 低灰高刷模式

工作方式和相关配置为：

- 1.将 PWM 显示模式设定为低灰高刷模式
- 2.显示组数为手动配置 (默认配置为 64 组)
- 3.每行的 DCLK 个数根据公式进行计算, 并算出一行的显示时间
- 4.计算一组显示时间=一行显示时间*行数
- 5.计算所有组显示时间=一组显示时间*组数,
- 6.高刷倍率 (取整) = 帧周期/所有组的显示时间
- 7.两个 Vsync 之前需要发送高刷倍率*显示组数*扫数个 ROW 信号
- 8.VSYNC 之后显示第 1 组(Group 0)的第 1 行(Line 0)
- 9.当前帧的数据显示高刷倍率次之后停止显示, 直到下一个 VSYNC 的到来
- 10.视觉刷新率=帧率*数据组数*高刷倍率= (3840/7680Hz) *高刷倍率

11.低灰高刷模式只需要根据上述步骤改变 ROW 信号，灰度等级不需要调整

10.8 PWM 显示的相关配置

10.8.1 行扫描数配置

DP3252 最大支持 16 行扫，配置为 $\text{reg0x02}[5:0]=\text{行扫描数}-1$

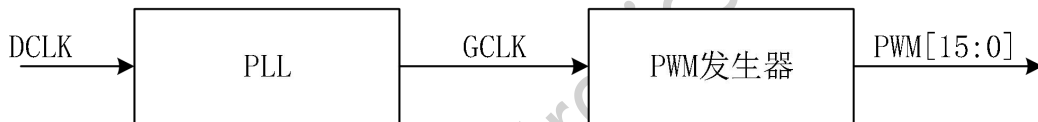
10.8.2 行灰度级数配置

$\text{reg0x04}[6:0]$ 代表一行的 PWM 显示长度，一行的 PWM 显示长度 = $4 * (\text{reg0x04}[6:0] + 1)$ ，最大支持 $64 \times 4 = 256$
 比如配置行灰度等级为 128 个，那么就设置 $\text{reg0x04}[6:0]=7' \text{ h1f}=31$

10.8.3 PWM 显示分组配置

$\text{reg0x03}[6:0]$ 代表 PWM 显示分组数，PWM 显示分组数 = $\text{reg0x03}[6:0] + 1$ ，最大支持分组数为 128 组
 在帧同步模式下，PWM 显示分组数 = 刷新率/帧率，配置 $\text{reg0x03}[6:0]=\text{刷新率}/\text{帧率}-1$
 在异步模式下，PWM 显示分组可独立配置（与刷新率无关）

10.8.4 内部灰度时钟配置



DP3252 片内集成 PLL 产生灰度时钟 GCLK，相关计算公式如下：

$$\text{FGCLK} = \text{FDCLK} * (\text{reg0x06}[2:0] + 1)$$

10.8.5 PWM 灰度级数以及 gamma 产生

PWM 灰度级数(最大值) = 行灰度级数 * PWM 显示分组 = $4 * (\text{reg0x04}[6:0] + 1) * (\text{reg0x03}[6:0] + 1) - 1$

比如：

$$\text{reg0x04}[6:0]=7' \text{ h7f}, \text{reg0x03}[6:0]=7' \text{ h7f}$$

$$\text{PWM 灰度级数(最大值)} = 4 * (127 + 1) * (127 + 1) - 1 = 65535 = 16\text{bit}$$

Gamma 可根据 PWM 灰度级数(最大值)来进行运算和产生（此部分由控制卡厂商按照自己的 gamma 产生公式来进行产生）

芯片灰度级数最大只支持 16bit（低 16 位有效）

10.9 开路检测以及去除坏点

勾选【去除坏点】： $\text{reg0x0c}[1]=1$ ；

不勾选【去除坏点】： $\text{reg0x0c}[1]=0$

11 封装散热功率(P_D)

封装体的最大散热功率，是由公式 $P_{D(max)} = \frac{(T_j - T_a)}{R_{th(j-a)}}$ 来决定的

16 个通道全部打开时，实际功率为：

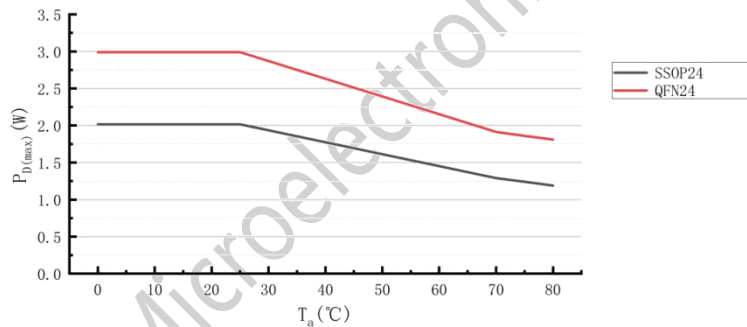
$$P_{D(act)} = I_{DD} * V_{DD} + I_{OUT} * Duty * V_{DS} * 16$$

为确保 $P_{D(act)} \leq P_{D(max)}$ 输出的最大电流与占空比之间的关系为：

$$I_{OUT(max)} = \frac{\frac{T_j - T_a}{R_{th(j-a)}} - (I_{DD} * V_{DD})}{V_{DS} * Duty * 16}$$

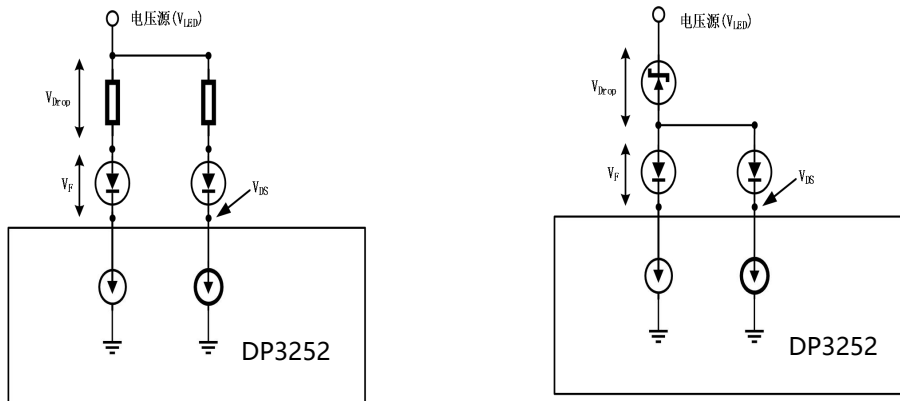
其中 T_j 为结温 ($T_j = 150^\circ\text{C}$)， T_a 为环境温度， V_{DS} 为恒流输出端口电压，Duty 为占空比， $R_{th(j-a)}$ 为封装的热阻。

封装	$R_{th(j-a)}$ ($^\circ\text{C}/\text{W}$)	$P_{D(max)}$ (W)
QSOP24	62	2.01
QFN24	41.8	2.99



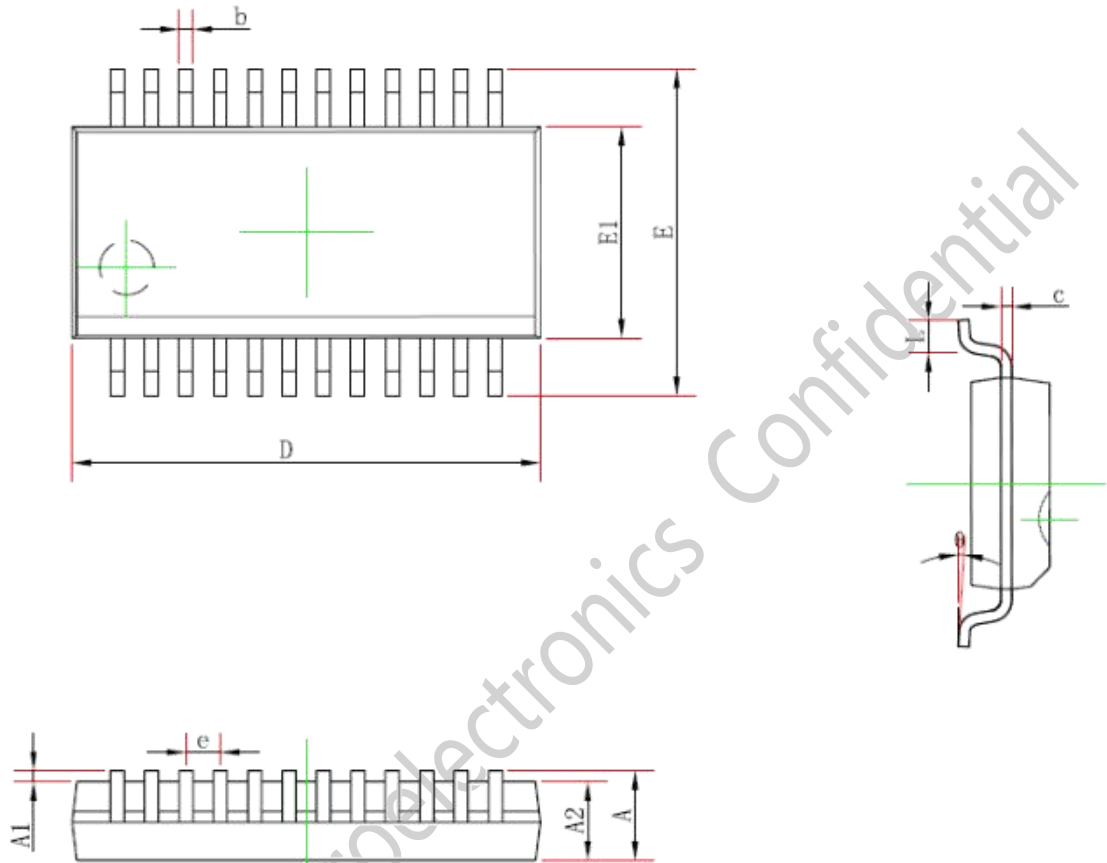
12 负载端电压(V_{LED})

为使封装体散热能力达到优化，建议输出端电压 (V_{DS}) 的最佳操作范围是 $0.3\text{V} \sim 1.0\text{V}$ (此时 $I_{OUT} = 0.5 \sim 36\text{mA}$)。如果 $V_{DS} = V_{LED} - V_F$ 且 $V_{LED} = 5\text{V}$ ，此时过高的输出端电压 (V_{DS}) 可能会导致 $P_{D(act)} > P_{D(max)}$ ；在此状况，建议尽可能使用较低的 V_{LED} 电压供用，也可用外串电阻或稳压管当作 V_{DROP} 。此刻导致 $V_{DS} = (V_{LED} - V_F) - V_{DROP}$ ，达到降低输入电压 (V_{DS}) 值的效果。外串电阻或稳压管的应用图可参考下图。



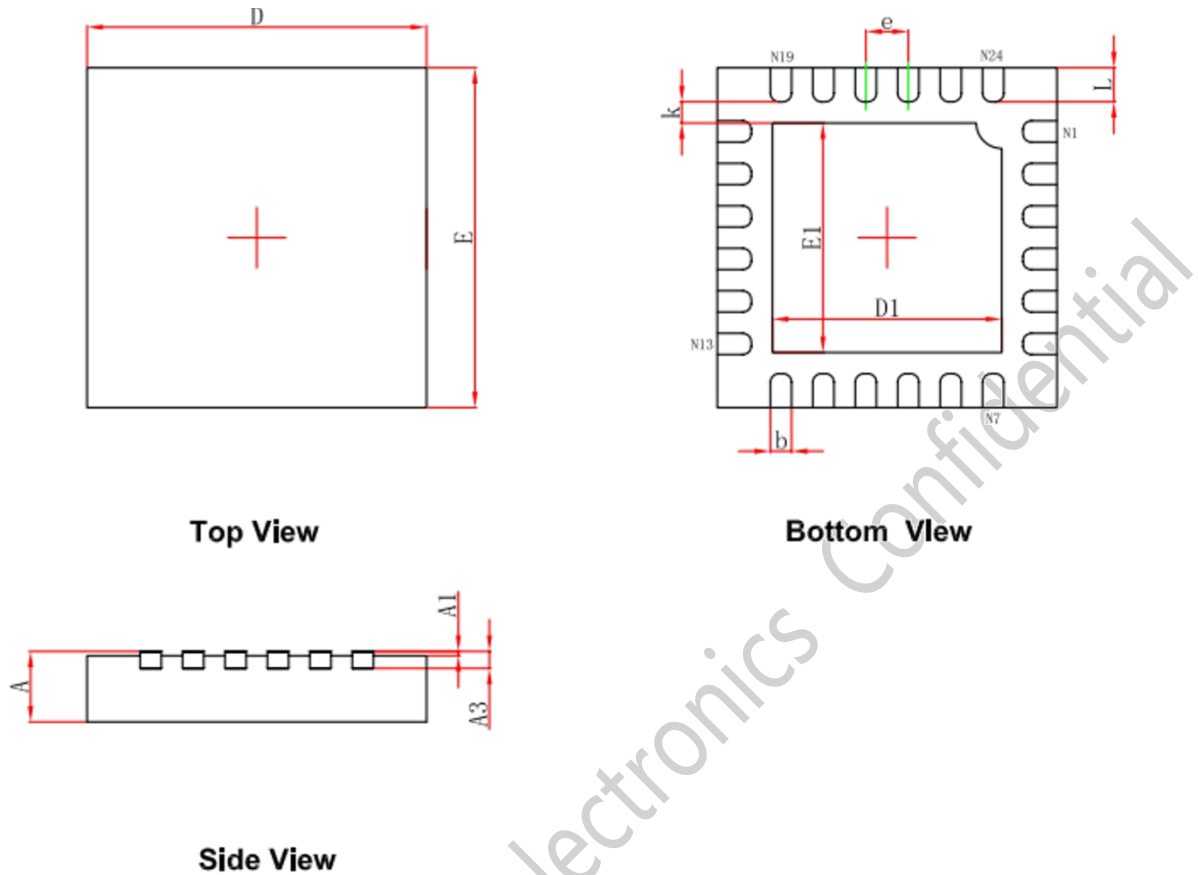
13 封装信息

- QSOP24 塑封规格图



	毫米(mm)	
	最小值(Min)	最大值(Max)
A	—	1.95
A1	0.05	0.35
A2	1.05	—
b	0.1	0.4
c	0.05	0.254
D	8.2	9.2
E1	3.6	4.2
E	5.6	6.5
e	0.635TYP	
L	0.3	1.5
θ	0°	10°

● QFN24 塑封规格图



	毫米(mm)	
	最小值(Min)	最大值(Max)
A	0.700/0.800	0.800/0.900
A1	0.000	0.050
A3	0.203REF	
D	3.924	4.076
E	3.924	4.076
D1	2.6	2.8
E1	2.6	2.8
k	0.20MIN	
b	0.200	0.300
e	0.500TYP	
L	0.324	0.476

14 重要声明

德普微尽力确保本产品规格书内容的准确和可靠，但是保留在没有通知的情况下，修改规格书内容的权利。客户在下订单前应联系德普微获取最新的相关信息，并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的本公司销售条款与条件。

德普微会不定期更新本文档内容，产品实际参数可能因型号或者其他事项不同有所差异，本文档不作为任何明示或暗示的担保或授权。

本产品规格书未包含任何针对德普微或第三方所有的知识产权的授权。针对本产品规格书所记载的信息，德普微不做任何明示或暗示的保证，包括但不限于对规格书内容的准确性、商业上的适销性，特定目的的适用性或者不侵犯德普微或任何第三人知识产权做任何明示或暗示保证，德普微也不就因本规格书本身及其使用有关的偶然或必然损失承担任何责任。

德普微对应用帮助或客户产品设计不承担任何义务。客户应对其使用本公司的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险，客户应提供充分的设计与操作安全验证。

针对本规格书所披露的内容，在未获得德普微的授权下，任何第三方不得使用、复制、转换，一经发现本公司必依法追究其法律责任，并赔偿由此对本公司造成的一切损失。

请注意在本资料记载的条件范围内使用产品，特别请注意绝对最大额定值、工作电压范围和电气特性等。因在本资料记载的条件范围外使用产品而造成的故障和(或)事故等的损害，本公司对此概不承担任何责任。

本公司一直致力于提高产品的质量和可靠度，但所有的半导体产品都有一定的失效概率，这些失效概率可能会导致一些人身事故、火灾事故等。当设计产品时，请充分留意冗余设计并采用安全指标，这样可以避免事故的发生。

使用本公司的 IC 生产产品时，如因其产品中对该 IC 的使用方法或产品的规格，或因进口国等原因，包含本 IC 产品在内的制品发生专利纠纷时，本公司概不承担相应责任。